

⑫ 公開特許公報(A)

平1-212368

⑬ Int. Cl.⁴
G 01 R 29/02識別記号
庁内整理番号
E-7359-2G

⑭ 公開 平成1年(1989)8月25日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 バルス幅計測回路

⑯ 特 願 昭63-37890

⑰ 出 願 昭63(1988)2月19日

⑱ 発 明 者 寺 本 晃 神奈川県横浜市港北区綱島東6丁目3番20号 株式会社エヌエフ回路設計ブロック横浜工場内

⑲ 発 明 者 柿 添 雅 治 神奈川県横浜市港北区綱島東6丁目3番20号 株式会社エヌエフ回路設計ブロック横浜工場内

⑲ 発 明 者 野 呂 俊 樹 神奈川県横浜市港北区綱島東6丁目3番20号 株式会社エヌエフ回路設計ブロック横浜工場内

⑳ 出 願 人 株式会社エヌエフ回路設計ブロック 東京都大田区山王4丁目9番26号

㉑ 代 理 人 弁理士 畠 本 正一

明 細 書

1. 発明の名称

バルス幅計測回路

2. 特許請求の範囲

バルス幅を検出すべきバルスの高レベル区間にクロックバルスを計数する第1の計数手段と、

前記バルスの低レベル区間にクロックバルスを計数する第2の計数手段と、

第1および第2の計数手段の計数値を記憶する記憶手段とを備えたバルス幅計測回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、ジッタ計測装置などにおいて、休止期間を持つことなくバルス幅を連続的に計測するバルス幅計測回路に関する。

〔従来の技術〕

従来、ジッタ計測装置には、バルス幅を計測するためのバルス幅計測回路として計測用カウンタが設置されているが、このカウンタは休止期間を

持つため、バルス幅の計測が間欠的に行われている。

〔発明が解決しようとする課題〕

このようなバルス幅計測回路では、たとえば、第3図のAに示すバルスについて、各バルス幅 T_a 、 T_b 、 T_c を計測する場合、休止期間 T_R を持つため、バルス幅 T_a を計測して、休止期間 T_R の後、バルス幅 T_c を計測し、バルス幅 T_b の計測を無視することになり、各バルス幅 $T_a \sim T_c$ を連続して計測することができなかった。

このため、第3図のBに示すバルスのように、バルス幅が大きく、バルス間隔が狭いバルスについて、バルス幅(バルスの高レベル区間) T_1 、 T_2 、 T_3 、 \dots および間隔(バルスの低レベル区間) T_R 、 T_R 、 \dots を計測する場合には、休止期間 T_R 内にバルス幅 T_1 、 T_2 、 T_3 および間隔 T_R 、 T_R が含まれてしまうため、必要なバルス幅および間隔を計測することができない。

このように休止期間 T_R を持つバルス幅計測回路では、バルスによって表されたデータの収集能

力が低く、確率的に低い異常現象を見逃す危険性が高いため、精密なデータ収集ができないという欠点があった。

このため、パルス幅を精密に計測しようとする、休止期間を補償するに十分な計測時間が必要となり、計測時間(検査時間)が長くなる欠点があった。

そこで、この発明は、連続したパルス幅の計測を実現し、計測時間の短縮化を実現することを目的とする。

(課題を解決するための手段)

この発明のパルス幅計測回路は、第1図に示すように、パルスPの高レベル区間にクロックパルスCLKを計数する第1の計数手段(カウンタ8)と、パルスPの低レベル区間にクロックパルスCLKを計数する第2の計数手段(カウンタ14)と、第1および第2の計数手段の計数値を記憶する記憶手段(データメモリ18)とを備えたものである。

(作 用)

が高くなる。

これらパルスPおよびクロックパルスCLKは、第1のゲート回路として設置されたAND回路6を以て論理積を取り、その論理積出力が第1の計数手段として設置されたカウンタ8に加えられる。また、パルスPは負論理のインバータ10に加えられており、このインバータ10を以て反転させて得られる第2図のCに示すパルス(反転パルス)P₁と、第2図のAに示すクロックパルスCLKは、第2のゲート回路として設置されたAND回路12を以て論理積を取り、その論理積出力が第2の計数手段として設置されたカウンタ14に加えられる。

そして、パルスPは、そのエッジ検出手段として設置されたタイミング回路16に加えられており、第2図のDに示すように、パルスPのエッジに対応したタイミング信号K₁、K₂が、各カウンタ8、14にリセット入力Rとして加えられ、各カウンタ8、14の計数値を記憶するための記憶手段として設置されたデータメモリ18には記

このように構成すると、パルス幅を計測すべきパルスPは、高レベル区間および低レベル区間を交互に持っているので、第1の計数手段(カウンタ8)はパルスPの高レベル区間でクロックパルスCLKを計数し、第2の計数手段(カウンタ14)はパルスPの低レベル区間でクロックパルスCLKを計数し、各計数値は記憶手段(データメモリ18)に記憶される。したがって、パルスPの高レベル区間および低レベル区間、すなわち、そのパルス幅を、休止期間なく計測することができる。

(実施例)

第1図は、この発明のパルス幅計測回路の実施例を示す。

入力端子2には、第2図のAに示すように、パルス幅の計測に適当なクロックパルスCLK、また、入力端子4には、第2図のBに示すように、パルス幅を計測すべき任意のパルスPが加えられる。クロックパルスCLKは、パルス幅の計測精度に影響し、その周波数が高い程、その計測精度

憶命令入力として加えられている。

したがって、AND回路6はパルスPの高レベル(H)区間において、クロックパルスCLKとの論理積出力を生じ、カウンタ8は、第2図のEに示すように、パルスPのH区間の幅(時間)T₁、T₂、...をクロックパルスCLKを単位として計測する。第2図のEにおいて、計数値N₁、N₂はH区間の幅T₁、T₂を表す。また、AND回路12は反転パルスP₁のH区間において、クロックパルスCLKとの論理積出力を生じ、カウンタ14は、第2図のFに示すように、パルスPの低レベル(L)区間の幅T₃をクロックパルスCLKを単位として計測する。第2図のFにおいて、計数値N₃はL区間の幅T₃を表す。

そして、各カウンタ8、14の計数値N₁、N₂、N₃は、データメモリ18に加えられ、データメモリ18には、第2図のEおよびFに示す計数値N₁、N₂、N₃によって表されたパルスPのH、L区間の幅T₁、T₂、T₃が交互に記憶される。

このように、入力端子2にパルス幅の計測に通

当なクロックパルスCLK、また、入力端子4にパルス幅を計測すべき任意のパルスPが加えられると、パルスPのエッジ検出によってタイミング回路16が発したタイミング信号 K_1 、 K_2 に呼応し、カウンタ8はパルスPのH区間の幅 T_1 、 T_2 を計測し、また、カウンタ14はパルスPのL区間の幅 T_3 を交互に間断なく計測する。そして、各カウンタ8、14のH区間およびL区間を表す計数値 N_1 、 N_2 、 N_3 ・・・は、タイミング回路16が発するタイミング信号 K_1 、 K_2 に呼応してデータメモリ18に転送されてパルスPのパルス幅データとして交互に記憶される。

このような計測および記憶動作は、パルスPが続く限り連続して行われ、従来の休止期間 T_0 がないため、信頼性の高いパルス幅計測が実現され、確率的に低い異常現象の収束も確実に行え、ともに、計測時間が短縮化できるのである。

(発明の効果)

以上説明したように、この発明によれば、休止期間を持つことなく、連続してパルス幅の計測を

行うことができ、信頼性の高い計測が実現できるとともに、計測時間の短縮化を図ることができる。

4. 図面の簡単な説明

第1図はこの発明のパルス幅計測回路の実施例を示すブロック図、第2図は第1図に示したパルス幅計測回路の動作を示す図、第3図は従来のパルス幅計測回路の計測動作を示す図である。

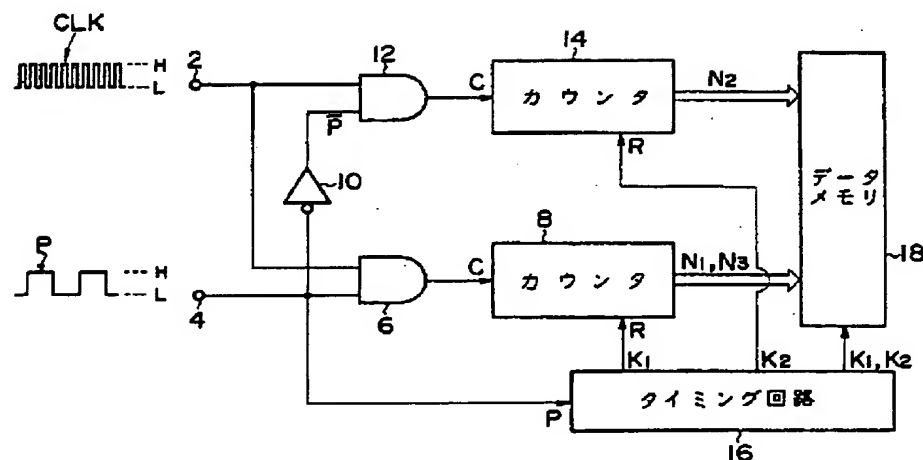
8・・・カウンタ(第1の計数手段)

14・・・カウンタ(第2の計数手段)

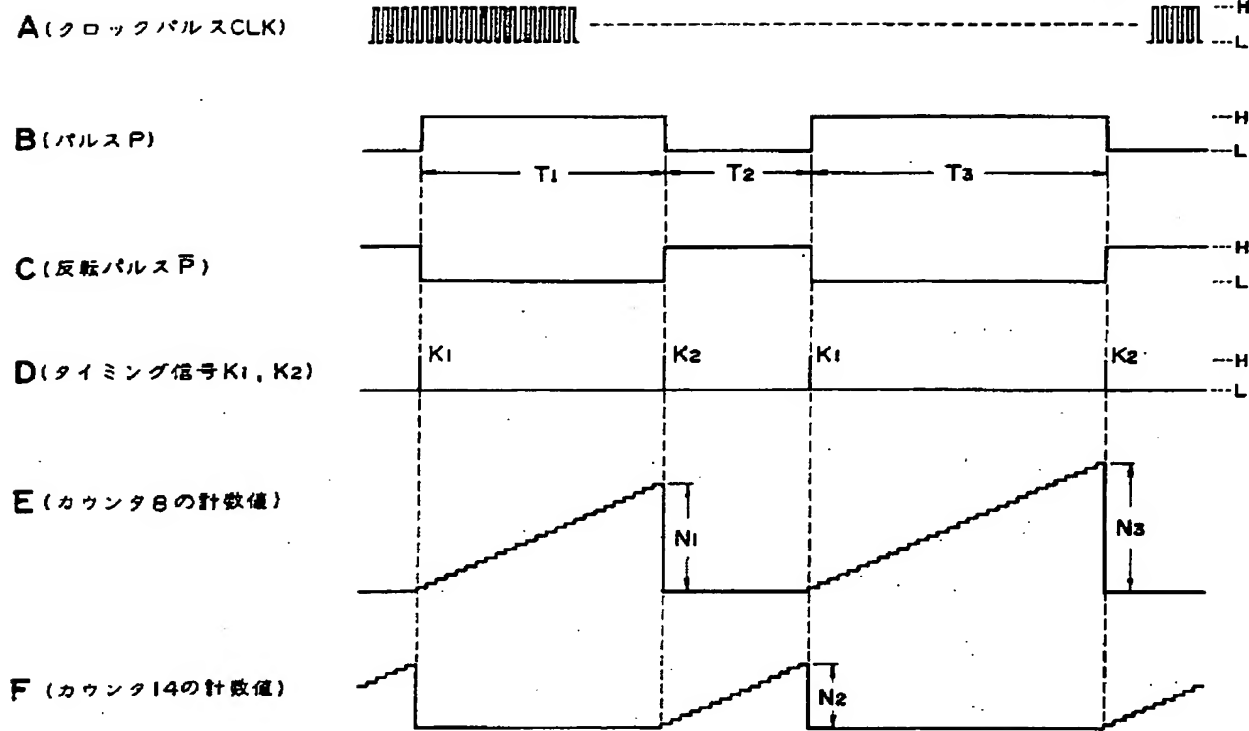
18・・・データメモリ(記憶手段)

特許出願人 株式会社エヌエフ回路設計ブロック

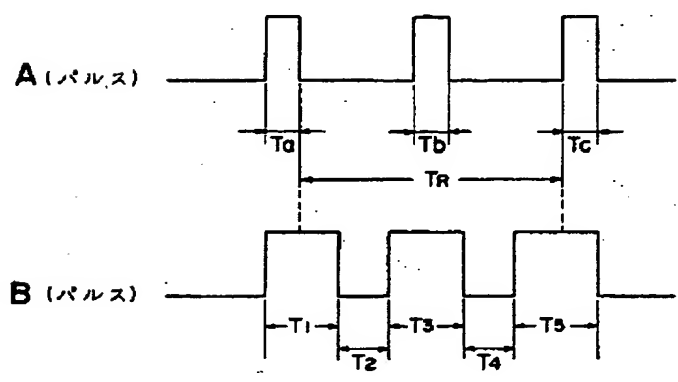
代理人 弁理士 畠 本 正 一



第 1 図



第 2 図



第 3 図